

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-109358

(43)Date of publication of application : 23.04.1990

(51)Int.Cl.

H01L 23/538

H01L 21/321

H01L 23/12

H01L 25/04

H01L 25/18

(21)Application number : 63-261513

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.10.1988

(72)Inventor : KUSHIMA TADAO

SOGA TASAO

YAMADA KAZUJI

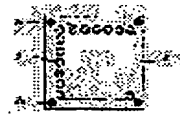
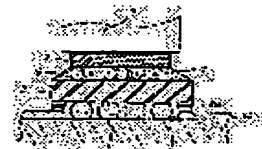
AIDA MASAHIRO

(54) MOUNTING CONSTRUCTION FOR SEMICONDUCTOR

(57)Abstract:

PURPOSE: To obtain a high-reliability semiconductor-mounting construction without a bad influence on solder bumps, by providing protruding parts at four corners of carrier boards, making main solder bump connecting surfaces to have recessed bottom construction, and bringing the protruding parts into contact with surfaces other than the recessed bottoms.

CONSTITUTION: Chip carriers 2 effective for unconnecting and semiconductor elements 1 connected with CCB solders 3 are lapped on a multilayered module board 5, and radiators 7 are attached to the backs. After the gaps between the chip carriers 2 and the semiconductor elements 1 are sealed with resin 4, and strain-suppressing protrusions 2a are formed beforehand, main connecting solder bumps 6 are formed, adjusted the positions to the pads of the board 5, melted by heated, and connected. In order that the pad parts of the board 5 on this occasion may be the recessed bottom parts 5a, parts other than the peripheries of the pad parts are constituted with a thin-film board beforehand; only the protrusions 2a of the carriers 2 are brought into contact with the upside of the thin-film board; and they are connected. In addition, in order to cool the generated heat of the semiconductor elements etc., and besides to increase the reliability protecting the characteristics of the elements, all the element-mounted area is sealed with a housing 8 and the board 5 by using sealing solder 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫公開特許公報(A) 平2-109358

⑮Int. Cl.

識別記号 庁内整理番号

⑬公開 平成2年(1990)4月23日

H 01 L 23/538

7454-5F H 01 L 23/52
6824-5F 21/92A
C※

審査請求 未請求 請求項の数 4 (全5頁)

⑭発明の名称 半導体の実装構造体

⑯特 願 昭63-261513

⑰出 願 昭63(1988)10月19日

⑱発 明 者 九 嶋 忠 雄 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内⑱発 明 者 曾 我 太 佐 男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内⑱発 明 者 山 田 一 二 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内⑱発 明 者 合 田 正 宏 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内

⑲出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳代 理 人 弁理士 小川 勝男 外2名

最終頁に続く

明 細 書

1. 発明の名称

半導体の実装構造体

2. 特許請求の範囲

1. 同一基板上に、マイクロチップキャリア構造
体で多数個の半導体素子を搭載した半導体実装
構造において、前記マイクロチップキャリアの基板側に面す
る接続端子の最外周部に凸部を設け、主接続は
んだパンプが接続されるモジュール基板側のパ
ターン部を凹面とした実装構造を特徴とする半
導体の実装構造体。

2. 特許請求の範囲第1項において、

前記マイクロチップキャリアの最外周部に設
けられた前記凸部が、平面对角的に三個以上の
金属薄膜積層構造体からなることを特徴とする
半導体の実装構造体。

3. 特許請求の範囲第1項において、

前記マイクロチップキャリアの基板が主接続
はんだパンプで接続される前記モジュール基板側の前記パターン凹部が、前記主はんだパンプ
の高さ寸法よりも小さいことを特徴とする半導
体の実装構造体。

4. 特許請求の範囲第1項において、

前記マイクロチップキャリアの前記凸部の積
膜積層構造が、Cr, Cu, Ni, Pt, Ti,
Ag, Au等の一種類あるいは複数の元素の積
層体からなることを特徴とする半導体の実装構
造体。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、モジュール基板上にチップキャリア
を介して素子を搭載する構造の次期大型計算機に
係り、特に、はんだパンプの耐圧縮変形およびチ
ップキャリアの傾きを制御できる突起部と基板凹
部構造との組合せをもつ高信頼性実装構造に關す
る。

〔従来の技術〕

従来の装置は、特開昭58-73127号に記載のよ
うに、はんだ接続用パンプを形成済みのSiウェ

ハ（一半導体素子単位が多数個からなる）の一半導体素子の中央に、パンプ融点より高融点の制御用合金を形成し、溶融させて基板制御用メタライズに接続し、中央の制御用合金の表面張力で半導体素子を持ち上げた構造となっていた。しかし、この方式では半導体素子の中央部に制御用合金パンプを形成するので、半導体素子を持ち上げるすなわち、全体のはんだ接続パンプを表面張力で持ち上げるには、かなりの体積、すなわち、接合面を必要とするため、高密度実装構造としての考慮がなかつた。また、制御用合金パンプの融点が接続パンプのそれよりも高いので、半導体素子の脱接続をする場合に、他素子の多数個のはんだ接続パンプが必ず再溶融することになり、従つて、接続部の位置ずれや傾きの発生による実装への不具合や、さらにはメタライズのはんだ中への溶解が激しく接続の信頼性を著しく低下させるなどの点についての考慮がされていなかった。

〔発明が解決しようとする課題〕

上記従来技術は、半導体素子の接続はんだパンプ形成部の中央に大面積をもつ制御用合金パンプを形成させることは高密度実装方向に対しては逆

向しており、さらに半導体素子の脱接続時に高融点組成の制御用合金パンプを再溶融させることは、他の半導体素子部全てのはんだパンプまでが溶融することになり、素子の位置ずれや傾きによる不具合の発生、さらには、メタライズが激しくはんだ中に溶解して接続信頼性の低下をまねくばかりでなく、半導体素子の発熱を冷却する構造体が、素子の上部に搭載された場合にははんだパンプが圧縮変形され、隣接パンプ間で短絡したりするなどの問題があつた。

本発明の目的は、高密度実装性をそこなうことなく、同一基板上に搭載した半導体素子の実装部の基板側のはんだパンプへかかる圧縮変形負荷を抑制し、実装部の傾きを制御し、実装部の脱接続が容易である半導体実装構造を提供することにある。

〔課題を解決するための手段〕

上記目的は、多層モジュール基板上に搭載したLSI素子実装部のキャリア基板の四隅に、多層

モジュール基板との間隙を制御する薄膜層の積層からなる突起部を設け、多層モジュール基板側の上はんだパンプ接続面を凹底となる構造とし、突起部が凹底以外の平面と接するようにすることにより達成される。

〔作用〕

多層モジュール基板の凹底部以外の平面部に接するLSI素子実装部のキャリア基板に設けられた薄膜積層構造からなる突起は、キャリア基板の四隅に設けられており、多層モジュール基板に対してキャリア基板は常の平行面を保持している。

それによつて、多層モジュール基板上のLSI素子実装部を脱接続する場合、他の実装部が上部からの負荷を受けたとしてもはんだパンプ接続部がひずむことなく初期の接続状態を保持することができ、また、突起部がキャリア基板の最外周の四隅にあるので、はんだパンプが再溶融されてもキャリア基板の傾きを発生することがない。

さらに、実装構造部が移動時の熱膨張変形の発生、すなわち、キャリア基板やモジュール基板の

膨張係数の違いによる熱ひずみが生じたとしても、キャリア基板の突起部が多層モジュール基板に接続していないので横方向への移動がスムーズであり、はんだパンプへの悪影響がない。

〔実施例〕

以下、本発明の一実施例を第1図ないし第3図により説明する。

第1図は本発明における半導体実装構造の断面で、第2図は実装構造体部の拡大断面、(a)とチップキャリアのモジュール側平面(b)並びに多層モジュール基板接続面の見取外観(c)からなる。

第1図で裏面側に電力供給ピン5bを具備した多層モジュール基板5上に、半導体素子からの発生熱を放散伝達する放熱体7を背面につけ、脱接続を有効にするチップキャリア2とCCBはんだ3に接続された半導体素子1との間隙を樹脂4で封止し、予め、ひずみ抑制突起2aを形成させた後、主接続はんだパンプ6を形成させてから多層モジュール基板5のパッドに位置合せし、加熱溶

融させて接続する。この場合の多層モジュール基板のパッド部は、凹底部となるように、予め、パッド部周辺以外を薄膜基板で構成し、キャリアの突起のみが薄膜基板上に接するようにしておいて接続する。さらに、半導体素子等の発熱を冷却し、かつ素子特性を保護して信頼性を向上するために、素子搭載全域部をハウジングB（例えば、CuMnO材あるいはAlN材）で該多層モジュール基板5に封止はんだ9で封止する。

この実装構造体(a)では、チップキャリア2と半導体素子1の接続は、Pb-2%Snの高融点CCBはんだ3で、多層モジュール基板への搭載は、主接続はんだパンプ6、例えば、Sn-3.5%Agの共晶点はんだ（融点：221℃）あるいはSn-5%Sbはんだ（融点：242℃）を用い、素子接続はんだよりも融点の低い、つまりは、温度的に附着性をもたして接続した。従つて、ハウジングの基板に封止するはんだ材9は搭載部を再溶融するような影響を与えないための、少なくともSn-3.5%Agはんだの融点（221℃）よ

りも低いはんだで封止する必要がある。そこで、本発明では、Sn-40%Pbはんだ（融点：融相191℃、固相183℃）で封止した。

Sn-40%Pbはんだによる封止では、多層モジュール基板や冷却ハウジング構造体などの熱容量が大きいことから、封止部のみの局所加熱によるはんだ封止はむずかしく、従つて、全体的に予備加熱をしてから本加熱をする工法によるはんだ溶融・凝固の封止しかない。このため、本加熱（封止はんだ付温度210±5℃）によつて、主接続はんだ、例えば、Sn-3.5%Ag共晶点はんだ（融点：221℃）はその温度で軟化状態に陥いる。つまり、軟化で変形しやすくなる。このため、第3図の右側二個の搭載マイクロチップキャリア実装形態に示すように、はんだパンプが軟化し、上記搭載の放熱体の荷重等によつてさらに押しつぶされ、隣接間のはんだパンプ同士が短絡（中央図）したり、また、軟化によつてチップキャリアが傾いてしまい、放熱体の本来の機能を低下する状態を導くことになる。これらの現象は、

はんだ封止時に発生するばかりでなく、第3図の左側のチップキャリアを多層モジュール基板から着脱する場合にも発生しうるもので、このような現象を呈した接続部の信頼性はすこぶる悪い状況にある。

第2図の(a)は、前述したようなはんだパンプの軟化による問題を未然に防ぐため、予めマイクロチップキャリア2の最外周コーナ部4箇所(b)に薄膜積層、例えばCr、Cu、Ni、Pt、Ti、Ag、Au等の一種類、あるいは、複数の元素の積層体からなる同一高さの突起2aを設ける。この突起は、金属元素の蒸着方法等によれば、高精度で形成できるものである。その後にはんだパンプを形成する。

一方、多層モジュール基板5側は、(c)に示すように、主はんだパンプ接続面、すなわち、多数個の接続パッド5dがある部分を除いて周辺が高い面となるよう薄膜樹脂層例えば、ポリイミド材などによる薄膜基板5cを接続させる。すなわち、主はんだパンプ接続面5aを凹部とする。こ

の場合、チップキャリアの突起部が対応位置2bに来るような薄膜基板構造を配置して接合させる。

チップキャリア2の一面上に、ひずみ抑制突起2aと主接続はんだパンプ6を形成させた半導体素子実装部を、凹部をもつ多層モジュール基板5の接続パッド部5dに位置合せて加熱溶融させ接続（第1図）する。

このような実装構造を形成させる方法により、チップキャリアの脱接続時の主接続はんだパンプのひずみを抑制するばかりでなく封止プロセス条件に温度層層の余裕をもたせることができ、従つて、高信頼性の半導体実装構造となつた。

〔発明の効果〕

本発明によれば、高硬度半導体はんだパンプ実装部の圧縮変形を抑制できるので、実装部の脱接続が容易にでき、かつ、封止部の閉封にも十分に対応できる。

4. 図面の簡単な説明

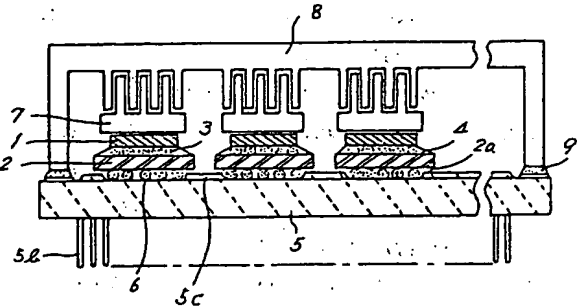
第1図は本発明の一実施例のはんだパンプひずみ抑制突起と凹構造多層モジュール基板の半導体

実装構造体の断面図、第2図(a)はチップキャリア実装部の拡大断面図、(b)は多層モジュール基板に面するチップキャリアの平面図、(c)はチップキャリアが搭載される多層モジュール基板の平面図、第3図は従来方法の構造によるはんだパンプの圧縮変形状態の説明図である。

1…半導体素子、2…チップキャリア、2a…突起、3…CCBはんだパンプ、5…多層モジュール基板、5a…凹底部、5c…薄膜基板、5d…パンプ接続パッド、6…主接続パンプ、7…放熱体、8…ハウジング、9…封止はんだ。

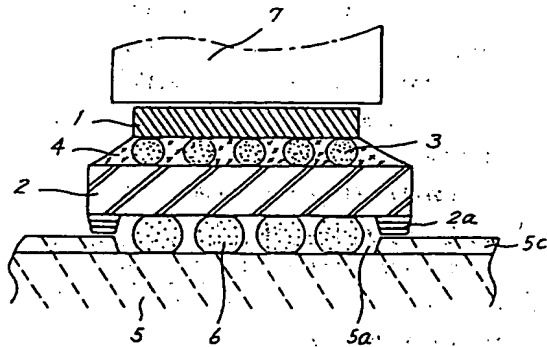
代理人 弁理士 小川 勝男

第1図

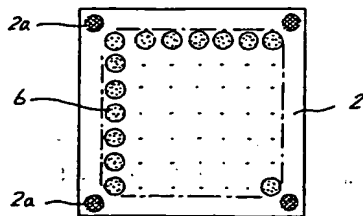


第2図

(a)

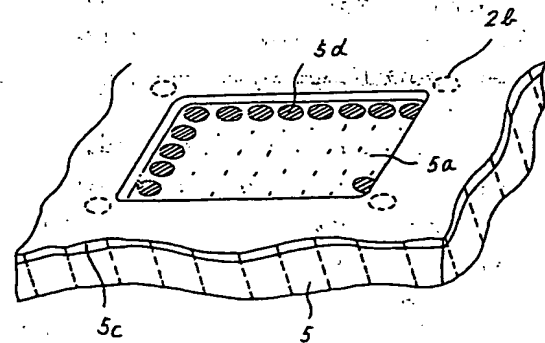


(b)

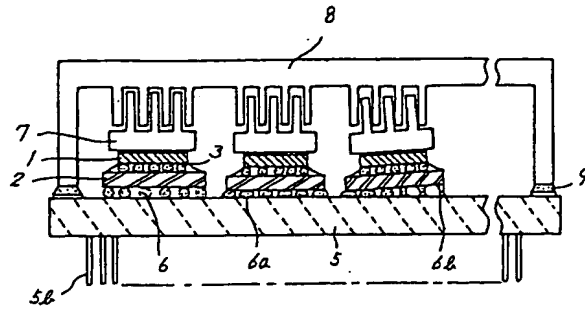


第2図

(c)



第 3 図



第 1 頁の続き

⑤Int. Cl.⁸

H 01 L 21/321
23/12
25/04
25/18

識別記号

庁内整理番号

7738-5F
7638-5F

H 01 L 23/12
25/04

L
Z